

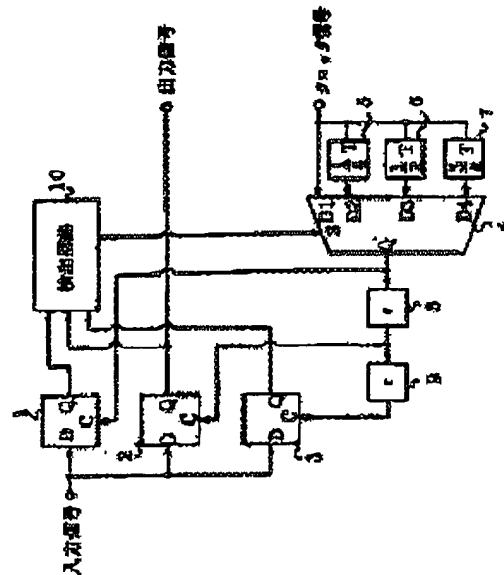
BIT PHASE SYNCHRONIZING CIRCUIT

Patent number: JP2250535
Publication date: 1990-10-08
Inventor: OIKAWA YOSHINORI
Applicant: NIPPON TELEGR & TELEPH CORP
Classification:
- International: H04L7/00
- european:
Application number: JP19890072174 19890324
Priority number(s):

Abstract of JP2250535

PURPOSE: To attain the bit synchronization in a short time by using three clock signals having the phases shifted from each other to latch the input signals and deciding based on the levels of the output signals whether a different clock signal should be selected or the present clock signal should be continuously used.

CONSTITUTION: A selector 4 selects one of four clock signals having the phases shifted by 1/4 cycle from each other and this selected clock signal is delayed by a certain delay time τ and 2τ . Then the input data signals are latched by three flip-flops 1-3 by means of three clock signals having the phases shifted from each other by the delay time τ . The latch outputs of the flip-flops are fetched by a detecting circuit 10. If even one of those three latch outputs has a different level, the selector 4 is controlled to select another clock signal shifted by 1/4 cycle. When the coincidence is secured among those three output levels, the selector 4 is controlled so that the clock selected presently is continuously used. As a result, the bit synchronization is attained in a short time.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-250535

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月8日

H 04 L 7/00

A 6914-5K

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 ビット位相同期回路

⑯ 特 願 平1-72174

⑰ 出 願 平1(1989)3月24日

⑱ 発 明 者 及 川 義 則 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑳ 代 理 人 弁理士 磯村 雅俊

明 細 書

1. 発明の名称

ビット位相同期回路

2. 特許請求の範囲

(1) 同期信号伝送回路の受信側で入力信号のビット同期をとるビット位相同期回路において、占有率50%のクロック信号を1/4周期、1/2周期および3/4周期それぞれ遅延させる第1、第2、第3の遅延回路と、上記クロック信号および第1、第2、第3の遅延回路の出力信号を入力し、制御端子に入力された選択信号により上記クロック信号の中の1つを選択し、選択したクロック信号を出力するセレクトと、該セレクトの出力信号をある遅延時間だけ遅延させる第4、第5の遅延回路と、該セレクトの出力信号および第4、第5の遅延回路の各出力信号をそれぞれクロック端子に入力して、該各信号の立上りないし立下り時点で入力端子に入力されたデータ信号をラッチする第1、第2および第3のフリップフロップと、

該第1、第2および第3のフリップフロップの各出力を入力し、入力された3つの信号の高低レベルが1つでも不一致であれば、上記セレクトの制御端子に選択信号を送出して、予め設定されている順番に従って現在選択されているクロック信号の次のクロック信号を選択させ、全て一致していれば、現在選択されているクロック信号を引き続き選択させる検出回路とを有することを特徴とするビット位相同期回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、交換機の通話路装置におけるビット位相同期回路に関し、特に短時間でビット同期がとれ、かつ外部雑音に強いビット同期回路に関するものである。

〔従来の技術〕

従来より、交換機の通話路装置を含めて、一般の通信装置では、入力された信号の位相を揃えるためにビット位相同期回路を設けている。ビット位相同期回路は、それぞれ異なった位相で入力し

てくる信号を同一のクロックに従って再生することにより、各入力信号の位相を調整して、同期をとっている。

第4図は、従来のビット位相同期回路の構成図であり、第5図は第4図におけるクロック信号とデータ取り込み動作のタイムチャートである。

第4図において、64は遅延時間設定用のバッファ列、65は切換えスイッチ、61、62、63はそれぞれフリップフロップである。

入力信号は、バッファ列64の各段から切換えスイッチ65に入力される。この切換えスイッチ65は、制御信号CTLにより入力信号の切換え接続を行っている。3個のフリップフロップ61、62、63は、切換えスイッチ65の出力側に各データ入力端子Dが並列接続されており、各クロック端子Cに入力されるクロック信号の立上り時に、各データ入力端子Dから入力されたデータをラッチすることにより、それぞれQ端子から取込み値 A_1 、 A_2 、 A_3 として出力する。第5図に示すように、フリップフロップ62および63のク

ロック信号は、遅延回路66および67により遅延時間 τ だけ前段のフリップフロップ61および62より位相がずれている。またフリップフロップ62の取込み値 A_2 は、同時に出力信号となる。

第4図の A_1 、 A_2 、 A_3 の出力は図示されない比較回路に入力されて、そこで比較されることにより、ビット位相同期がとれているか否かが判断される。すなわち、入力信号が入力されると、第4図の取込み値 A_1 、 A_2 を比較回路に入力して、これらの A_1 と A_2 を比較することにより、 $A_1 = A_2$ となったときクロック信号と入力信号との位相同期がとれているものと判断し、取込み値 A_2 を再生した出力信号として出力している。 $A_1 \neq A_2$ の場合には、制御信号CTLで切換えスイッチ65を切換えて、入力信号に順次一定値ごとの遅延を与え、 $A_1 = A_2$ となるまでこれを繰返し行う(例えば、Proc.'International Zurich Seminar on Digital Communications'1986, C4.1-C4.4参照)。

(発明が解決しようとする課題)

前述した第4図の従来例では、フリップフロップ61および63の取込み値が $A_1 = A_2$ となるまで入力信号に対して1ずつ遅延値を変える必要があるため、位相差検出回路や最適遅延設定回路の構成が複雑となり、その都度 $A_1 = A_2$ になるように入力信号の遅延時間を設定しなければならない。

その結果、位相差を検出してから安定させるまでに時間がかかるという問題があった。

本発明の目的は、このような従来の課題を解決し、クロックと入力信号のビット同期を短時間でとることができ、かつ外部雑音に強く、しかも簡単な回路構成で実現できるビット位相同期回路を提供することにある。

(課題を解決するための手段)

上記目的を達成するため、本発明のビット位相同期回路は、同期信号伝送回路の受信側で入力信号のビット同期をとるビット位相同期回路において、占有率50%のクロック信号を1/4周期、1/2周期および3/4周期それぞれ遅延させる第1、第2、第3の遅延回路と、上記クロック信号およ

び第1、第2、第3の遅延回路の出力信号を入力し、制御端子に入力された選択信号により上記クロック信号の中の1つを選択し、選択したクロック信号を出力するセレクトと、該セレクトの出力信号をある遅延時間 τ だけ遅延させる第4、第5の遅延回路と、該セレクトの出力信号および第4、第5の遅延回路の各出力信号をそれぞれクロック端子に入力して、該各信号の立上りないし立下り時点で入力端子に入力されたデータ信号をラッチする第1、第2および第3のフリップフロップと、該第1、第2および第3のフリップフロップの各出力を入力し、入力された3つの信号の高低レベルが1つでも不一致であれば、上記セレクトの制御端子に選択信号を送出して、予め設定されている順番に従って現在選択されているクロック信号の次のクロック信号を選択させ、全て一致していれば、現在選択されているクロック信号を引き続き選択させる検出回路とを有することに特徴がある。

(作 用)

本発明においては、 $1/4$ 周期ずつ位相がずれた 4 個のクロック信号から 1 個のクロック信号をセクタにより選択し、さらにそのクロック信号を τ および 2τ だけ遅延させ、 τ ずつ位相のずれた 3 個のクロック信号で、入力データ信号を 3 個のフリップフロップにラッチし、そのラッチ出力を検出回路に取り込んで、それらのレベルが 1 つでも異なっていれば、セクタを制御することにより別の $1/4$ 周期ずれたクロック信号を選択させ、それらのレベルが全て一致していれば、セクタを制御することにより現在選択しているクロックを引き続き選択するようにしている。これによって、ビット同期が短時間でとれ、かつ外部雑音に影響されず、しかも簡単な回路構成によりビット位相同期回路を実現できる。

〔実施例〕

以下、本発明の実施例を、図面により詳細に説明する。

第 1 図は、本発明の一実施例を示すビット位相同期回路の基本構成図である。

ら 3 個のクロック信号は、それぞれ 3 個のフリップフロップ 1, 2, 3 の各入力端子 D に入力される。すなわち、セクタ 4 の出力端子 Q からのクロック信号はフリップフロップ 1 のクロック端子 C に、遅延回路 8 の出力のクロック信号はフリップフロップ 2 のクロック端子 C に、遅延回路 9 の出力のクロック信号はフリップフロップ 3 のクロック端子 C に、それぞれ入力される。

一方、入力信号は同時にこれら 3 個のフリップフロップ 1, 2, 3 に入力されるが、これらの入力信号はそれぞれ τ ずつ位相がずれたクロック信号でラッチされる。3 個のフリップフロップ 1, 2, 3 の出力は、いずれも検出回路 10 に転送されて、そこで各出力レベルが比較される。比較の結果、一致していれば同期がとれているものと判断し、セクタ 4 の制御端子 S には現在選択しているクロック信号を引き続き選択するように制御信号を出力する。これに対して、一致していなければ、同期がとれていないと判断し、セクタ 4 の制御端子 S に予め設定している順番で、現在選

第 1 図において、1, 2, 3 はフリップフロップ、4 はセクタ、5, 6, 7 は遅延回路、8, 9 も遅延回路、10 は検出回路である。

クロック信号は、占有率 50% の波形がクロックジェネレータ(図示省略)から供給され、セクタ 4 の $D_1 \sim D_4$ 端子に入力される。すなわち、クロック信号は 3 個の遅延回路 5, 6, 7 によりそれぞれ $T/4$, $T/2$, $3T/4$ ずつ遅延されて、元のクロック信号とともにセクタの入力端子 $D_1 \sim D_4$ に入力される。つまり、周期が同一で、かつ順に $1/4$ ずつ位相のずれた 4 個のクロック信号がセクタ 4 に入力されることになる。セクタ 4 では、制御端子 S に入力された選択信号により 4 個のクロック信号のうちの 1 個を選択して、出力端子 Q に出力する。セクタ 4 から出力されたクロック信号は、遅延回路 8 で τ だけ遅延され、さらに遅延回路 9 で τ だけ遅延される。これらの遅延回路 8, 9 およびセクタ 4 の各出力を取り出すことにより、それぞれ τ ずつ位相のずれた 3 個のクロック信号を生成することができる。これ

択しているクロック信号の次のクロック信号を選択するように選択信号を出力する。このようにして、同期がとれた時のフリップフロップ 2 の出力をビット位相同期回路の出力信号として送出することにより、受信側のクロック信号に同期したデータを正確に再生することができる。

第 2 図は、第 1 図における具体的な構成図であり、第 3 図は、その動作を示すタイムチャートである。

第 2 図では、遅延時間 τ を $T/4$ に設定している。また、検出回路 10 は、排他的 OR ゲート 11 と遅延回路 12 と AND ゲート 13 とカウンタ 14 とから構成される。

第 3 図に示すデータ 21~24 はセクタ 4 に入力するクロック信号であり、S1, S2 は検出回路 10 からセクタ 4 の端子 S に出力される選択信号であり、データ 27~29 はそれぞれフリップフロップ 1, 2, 3 に入力するクロック信号であり、データ 33~35 は検出回路 10 内の排他的 OR ゲート 11 の出力と、遅延回路 12 の出

力と、ANDゲート13の出力である。

クロック信号(データ21)およびこのクロック信号を遅延回路5, 6, 7で遅延したクロック信号(データ22, 23, 24)は、それぞれセクタ4の入力端子D1~D4に入力される。セクタ4は、2つの制御端子S1, S2に入力される2個の選択信号の組み合わせにより、4個のクロック信号の中から1個のクロック信号を選択して、出力端子Qから出力する(データ27)。

第6図は、第2図における選択信号の組合せとそれにより選択されるクロック信号のテーブル図である。

S1およびS2にローレベルの選択信号が入力するとデータ21(つまりD1に入力したクロック信号)が選択され、S1にハイレベル、S2にローレベルが入力するとデータ22(つまりD2に入力したクロック信号)が選択され、S1にローレベル、S2にハイレベルが入力するとデータ23(つまり、D3に入力したクロック信号)が選択され、S1, S2にハイレベルが入力するとデ

ータ24(つまりD4に入力したクロック信号)が選択される。

第3図に示すように、時刻 t_1 では、S1(データ25)がLで、S2(データ26)もLであるため、第6図によりデータ21を選択している(出力はデータ27)。データ27は遅延回路8で $T/4$ だけ遅延されてデータ28となり、さらに遅延回路9で $T/4$ だけ遅延されてデータ29となる。入力信号は、3個のフリップフロップ1, 2, 3においてそれぞれデータ27、データ28、データ29の立上り時点(つまり、それぞれ時刻 t_1 , t_2 , t_3)でラッチされる。

第7図は、第2図の排他的ORゲートの入力と出力の真理値テーブルの図である。

データ30と31と32(つまり、フリップフロップ1と2と3の各出力信号)の組合せにより、排他的ORゲート11の出力はデータ33となる。すなわち、3個の入力のうち1個でも異なるレベルがあれば出力はHレベルとなり、全て同一レベルのときのみ出力がLレベルとなる。

第3図の場合には、入力信号の波形タイミングにより、フリップフロップ1の出力はLとなり、フリップフロップ2, 3の各出力はHとなる。排他的ORゲート11の真理値は、第7図に示すように、3個の入力のうち1個でも異なるレベルがあるときには、出力はHレベルとなる。一方、検出回路10では、遅延回路12がデータ29をさらに $T/4$ だけ遅延させて、データ34を作成している。これにより、時刻 t_1 では、排他的ORゲート11の出力(データ33)はHレベルとなる。また、カウンタ14は2進カウンタであって、入力端子に入力されたクロックの立上り時毎に計数し、2進数で出力する。第3図では、時刻 t_1 においてデータ35が立上り、S1(データ25)がHレベルに変化している。従って、第6図から明らかなように、セクタ4の出力(データ27)は次の順序に変更されて、データ22が選択される(データ28)。同じようにして、時刻 t_2 , t_3 , t_4 で3個のフリップフロップ1, 2, 3がデータをラッチした場合には、入力がLレベルである

ため、3個のフリップフロップ1, 2, 3の出力(データ30, 31, 32)が全てLとなり、レベルが全て同一であるので排他的ORゲート11の出力(データ33)は時刻 t_1 においてLレベルとなる。データ33がLになると、遅延回路12の出力はカウンタ14のクロック端子Cに入力できなくなるため、これ以後はS1, S2の状態を変化させることがなく安定する。フリップフロップ2の出力(データ31)を出力信号として取り出すことにより、ジッタに対する余裕度を大きくとって、入力信号を再生することができる。

なお、実施例では、入力信号を説明の都合で1, 0の交番パターンの場合について述べたが、任意のパターンについてもある程度の時間をとれば同じように検出して、再生することが可能である。

このように、本発明においては、 $1/4$ 周期ずつ位相がずれた4個のクロック信号から1個のクロック信号をセクタにより選択し、さらにそのクロック信号を τ および 2τ だけ遅延させ、 τ ずつ位相のずれた3個のクロック信号で入力信号を

ラッチして、その結果それらの出力レベルが異なっていれば、セレクトを制御して別の1/4周期ずれたクロック信号を選択させ、ラッチの結果が全て一致していれば、現在選択しているクロック信号を引き続き選択するようにセレクトを制御する。

【発明の効果】

以上説明したように、本発明によれば、位相のずれた3個のクロック信号で入力信号をラッチしてそれらの出力信号のレベルにより、別のクロック信号を選択するか、現在のままのクロック信号を続けるか決定するので、ビット同期を短時間でとることができ、かつ外部の雑音に対して強く、しかも簡単な回路構成で実現できるという効果がある。

4. 図面の簡単な説明

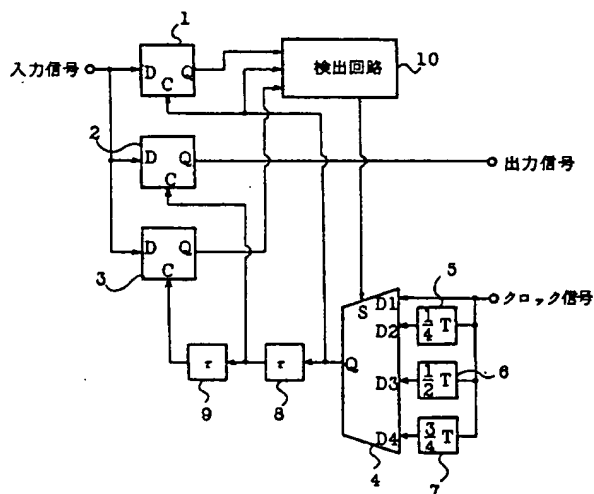
第 1 図は本発明の一実施例を示すビット位同期回路の基本的構成図、第 2 図は第 1 図における具体的な構成図、第 3 図は第 2 図における動作タイムチャート、第 4 図は従来のビット位同期回

路の構成図、第5図は第4図における動作タイム
 チャート、第6図は第2図における選択信号の組
 合わせと選択クロック信号のテーブル図、第7図
 は第2図における排他的ORゲートの真理値テー
 ブル図である。

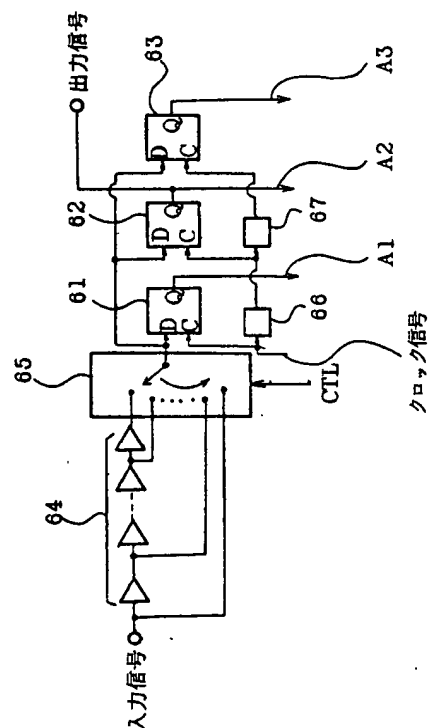
1, 2, 3, 61, 62, 63: フリップフロップ、
4: セレクタ、5, 6, 7, 8, 9 66, 67: 遅延回
路、10: 検出回路、11: 排他的ORゲート、
13: ANDゲート、14: カウンタ、64: バ
ッファ、65: 切換えスイッチ、CTL: 制御信
号、S, S1, S2: 制御端子、D1~D4: 入
力端子、Q: 出力端子、C: クロック端子、

代理人 弁理士 磯村 雅 俊

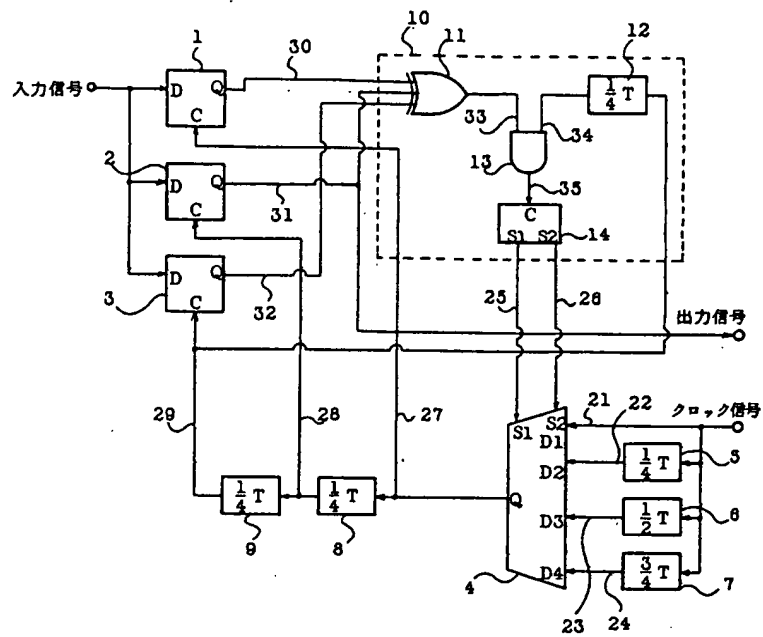
第 1 章



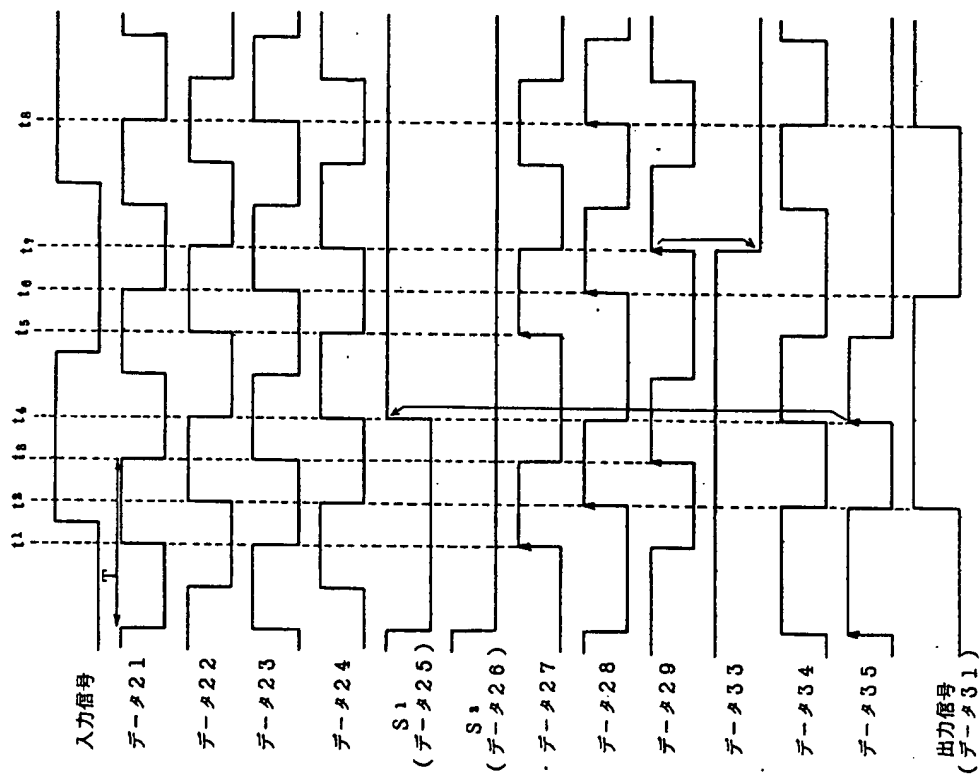
第 4 区



第 2 図



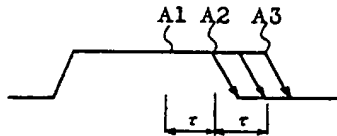
第 3 図



第 6 図

S2	S1	Q
L	L	データ21
L	H	データ22
H	L	データ23
H	H	データ24

第 5 図



第 7 図

データ30	データ31	データ32	データ33
L	L	L	L
L	L	H	H
L	H	L	H
L	H	H	H
H	L	L	H
H	L	H	H
H	H	L	H
H	H	H	L

手続補正書 (自発)

平成
昭和 元年 4月 28日

特許庁長官 吉田 文 殿

1. 事件の表示

平成
昭和 1年 特 許 願 第72174 号2. 発明の名称
ビット位相同期回路

3. 補正をする者

事件との関係 特 許 出 願 人

フリガナ 住所 東京都千代田区内幸町1丁目1番6号
フリガナ(名称) (422) 日本電信電話株式会社
代表者 山口 開 生

4. 代理人

住 所 東京都新宿区西新宿1丁目18番15号
中津ビル7階 電話 (03) 348-5035
氏 名 (7727) 井理士 磯 村 雅 俊

5. 補正命令の日付

5. 補正により増加する発明の数 な し

6. 補正の対象

明細書の「特許請求の範囲」および
「発明の詳細な説明」の欄ならびに図面

7. 補正の内容 別紙の通り

方式 (ハ)

(1) 明細書第1頁の特許請求の範囲を、別紙の通りに補正する。

(2) 明細書第10頁19行~20行の『排外的ORゲート11』を、『非排他的ORゲート11』に補正する。

(3) 明細書第11頁15行~20行の『S1にハイレベル、S2に・・・・・・ハイレベルが入力すると』を、『S1にHレベル、S2にLレベルが入力するとデータ22（つまりD2に入力したクロック信号）が選択され、S1にLレベル、S2にHレベルが入力するとデータ23（つまり、D3に入力したクロック信号）が選択され、S1、S2にHレベルが入力すると』に補正する。

(4) 明細書第5頁15行~第6頁19行の『上記目的を達成するため、本発明のビット位同期回路は、・・・・・・ことに特徴がある。』を、次のように補正する。

『上記目的を達成するため、本発明のビット位同期回路は、同期式信号伝送回路の受信側で入力信号のビット同期をとるビット位相同期回路にお

いて、占有率50%のクロック信号を1/4周期、1/2周期および3/4周期それぞれ遅延させる第1、第2、第3の遅延回路と、上記クロック信号および第1、第2、第3の遅延回路の出力信号を入力し、制御端子に入力された選択信号により上記4個のクロック信号の中の1つを選択し、選択したクロック信号を出力するセレクトと、該セレクトの出力信号をそれぞれある遅延時間 τ 、 2τ だけ遅延させる第4、第5の遅延回路と、該セレクトの出力信号および第4、第5の遅延回路の各出力信号をそれぞれクロック端子に入力して、該各信号の立上りないし立下り時点で3分岐されてそれぞれ入力端子に入力されたデータ信号をラッチする第1、第2および第3のフリップフロップと、該第1、第2および第3のフリップフロップの各出力を入力し、入力された3つの信号の高低レベルが1つでも不一致であれば、上記セレクトの制御端子に選択信号を送出して、予め設定されている順番に従って現在選択されているクロック信号の次のクロック信号を選択させ、全て一致

していれば、現在選択されているクロック信号を引き続き選択させる検出回路とを有することに特徴がある。』

(5) 第1図を、別添の図面に補正する。

特許請求の範囲

(1) 同期式信号伝送回路の受信側で入力信号のビット同期をとるビット位相同期回路において、占有率50%のクロック信号を1/4周期、1/2周期および3/4周期それぞれ遅延させる第1、第2、第3の遅延回路と、上記クロック信号および第1、第2、第3の遅延回路の出力信号を入力し、制御端子に入力された選択信号により上記4個のクロック信号の中の1つを選択し、選択したクロック信号を出力するセレクトと、該セレクトの出力信号をそれぞれある遅延時間 τ 、 2τ だけ遅延させる第4、第5の遅延回路と、該セレクトの出力信号および第4、第5の遅延回路の各出力信号をそれぞれクロック端子に入力して、該各信号の立上りないし立下り時点で3分岐されてそれぞれ入力端子に入力されたデータ信号をラッチする第1、第2および第3のフリップフロップと、該第1、第2および第3のフリップフロップの各出力を入力し、入力された3つの信号の高低レベルが1つ

でも不一致であれば、上記セレクトの制御端子に選択信号を送出して、予め設定されている順番に従って現在選択されているクロック信号の次のクロック信号を選択させ、全て一致していれば、現在選択されているクロック信号を引き続き選択させる検出回路とを有することを特徴とするビット位相同期回路。

第 1 図

